



IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Chien-Chao Huang, et al. § Docket No.: 2001.1531/24061.439
Serial No.: 10/710,012 § Art Unit: 2811
Filing Date: June 11, 2004 § Conf. No.: 4011
For: Improved Cobalt Silicidation §
Process for Substrates with a §
Germanium Layer §

TRANSMITTAL LETTER OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Enclosed for filing in the above-identified patent application is a certified copy of priority document as follows:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>FILING DATE</u>
Taiwan	092116010	June 12, 2003

Applicant submits that the certified copy of application is being filed within 16 months of the priority date.

Respectfully submitted,

David M. O'Dell
Reg. No. 42,044

Date: 10-7-04

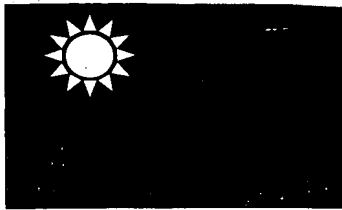
HAYNES AND BOONE, LLP
901 Main Street, Suite 3100
Dallas, Texas 75202-3789
Telephone: 972-739-8635
Facsimile: 214-200-0853

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

Bonnie Boyle
Name

10-8-04
Date



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請日：西元 2003 年 06 月 12 日
Application Date

申請案號：092116010
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長

Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 2004 年 7 月 1 日
Issue Date

發文字號：09320663180
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有低電阻值之自行對準矽化物結構及製程方法
	英 文	SELF-ALIGNED SILICIDED PROCESS AND STRUCTURE
二、 發明人 (共5人)	姓 名 (中文)	1. 黃健朝 2. 楊育佳 3. 王昭雄
	姓 名 (英文)	1. HUANG, Chien-Chao 2. YEO, Yee-Chia 3. WANG, Chao-Hsiung
	國 籍 (中英文)	1. 中華民國 TW 2. 新加坡 SG 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市東區光復路二段467巷32號6樓之一 2. 新竹科學工業園區力行六路6號 3. 新竹市建功一路29號5樓之一
	住居所 (英 文)	1. 6F-1, No. 32, Lane 467, Sec. 2, Kuang Fu Rd., E. Dist., Hsinchu 2. No. 6, Li Hsin Rd. 6, Science-Based Industrial Park, Hsinchu 3. 5F-1, No. 29, Chien Kung 1st Rd., Hsinchu City
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓 名 (英文)	1. TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 121, PARK AVE. III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 張 忠 謀
	代表人 (英文)	1. Chang, Chung-Mou



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	4. 林俊杰 5. 胡正明
	姓 名 (英文)	4. LIN, Chun-Chieh 5. HU, Chen-Ming
	國 籍 (中英文)	4. 中華民國 TW 5. 美國 US
	住居所 (中 文)	4. 台中市西區向上北路284巷32號3樓 5. 美國加州94507阿拉摩圓石道2060號
	住居所 (英 文)	4. 3F, No. 32, Lane 284, Hsiang Shang N. Rd., W. Dist., Taichung City 5. 2060 Pebble Drive, Alamo, Ca 94507, U.S.A.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：具有低電阻值之自行對準矽化物結構及製程方法)

一種具有低電阻值之自行對準矽化物結構及製程方法，主要包含矽基材、第一矽鍺層及第二矽鍺層，其中第一矽鍺層中設有源極/汲極區域。藉由去除源極/汲極區域上一部份的第一矽鍺層或是全部的第一矽鍺層，形成第二矽鍺層，以避免鍺離子抑制矽化金屬層的成長，以降低源極/汲極區域的片電阻值。亦可利用佈植製程來調整第一矽鍺層的電性，提高矽化金屬在第一矽鍺層的含量，以降低源極/汲極區域的片電阻值。

五、(一)、本案代表圖為：第___6___圖

(二)、本案代表圖之元件代表符號簡單說明：

202：第一矽鍺層

204：矽層

206：源極/汲極區域

六、英文發明摘要 (發明名稱：SELF-ALIGNED SILICIDED PROCESS AND STRUCTURE)

A self-aligned silicided process and structure are described. The self-aligned silicided structure typically has a silicon substrate, a first silicon-germanium (SiGe) layer and a second SiGe layer. A source/drain region is positioned in the first SiGe layer. The removal of a portion or total of the first SiGe layer in the source/drain region allows to form salicide to prevent the



四、中文發明摘要 (發明名稱：具有低電阻值之自行對準矽化物結構及製程方法)

207 : 間 隙 壁
208 : 閘 極 區 域
209 : 襯 氧 化 層
210 : 第 二 矽 鍺 層
214 : 矽 化 金 屬 層

六、英文發明摘要 (發明名稱：SELF-ALIGNED SILICIDED PROCESS AND STRUCTURE)

formation the germanium ions. Further, an implantation step advantageously is used to control the electrical property of the first SiGe layer to increase the salicide of the first SiGe layer to reduce the sheet resistance of the source/drain region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種半導體製程方法及結構，特別是有關於一種矽鍺層基材上具有低電阻值之自行對準矽化物結構及製程方法。

先前技術

在超大型積體電路趨勢中，半導體元件的尺寸不斷地縮小，積集度不斷地提昇。藉由縮小電子元件的尺寸之後，可以完成半導體積體電路具有最大的整合能力。然而，隨著電子元件尺寸的縮小化，在積體電路的製造過程中出現許多挑戰。

尤其是當元件外觀不斷縮小，降低電性連接結構電阻之需求更較以往重要，因為電阻值升高將導致元件的操作速度因RC延遲而變慢。為解決上述問題，傳統上係使用自行對準矽化製程(self-aligned silicided process)，以於基材上產生矽化金屬來降低接觸電阻。

特定而言，當基材為拉伸的矽材質(Strained Si)或是拉伸的矽鍺層(Strain SiGe)，此拉伸矽或矽鍺材質中的拉伸帶狀結構可以進一步改良及增加電子的遷移率，藉由增加元件的驅動電流，以提高電晶體的執行效能。因此拉伸矽或矽鍺材質經常是矽化製程中電晶體常用的基材。第1A-1C圖顯示傳統電晶體上進行矽化物製程的方法。

在第1A圖中，提供一基材100，基材100主要是由矽層102及矽鍺層104組成，並且使用標準的半導體製程，於基材100



五、發明說明 (2)

上形成源極/汲極區域106及閘極區域108。接著在第1B圖中，於源極/汲極區域106及閘極區域108的表面上沈積一鈷(Co)金屬層110，並且對基材100進行快速熱回火製程(Rapid Thermal Annealing, RTA)，以於源極/汲極區域106及閘極區域108中形成鈷矽化物(CoSi_2)112。最後在第1C圖中，蝕刻移除未反應的鈷金屬層110，以於源極/汲極區域106及閘極區域108形成自行對準的鈷矽化物112，以作為電晶體的導電連接結構。

上述之矽化物製程步驟中，鈷金屬層110會消耗一部份的矽鍍層104，使得矽鍍層104中的鍍離子分離出來，並且使鍍離子累積在鈷矽化物112的晶界附近。亦即矽鍍層104將成為富含鍍離子的介面層，此介面層相當於一阻障層，會抑制鈷金屬層110與矽鍍層104反應生成鈷矽化物。然而鈷矽化物主要是用來降低源極/汲極區域106的電阻值。所以當鈷矽化物的成長受到抑制，則源極/汲極區域106的電阻值必然上升。換言之，矽鍍層104會使鈷矽化物電阻值增加，導致電晶體的整體效能降低。因此，矽鍍層104抵消掉利用矽化物來降低導電連接結構之電阻值的效果。

特別是，當鈷金屬層110消耗掉全部的矽鍍層104，則大量的鍍離子累積在鈷矽化物的晶粒晶界，使得鈷矽化物的量大為減少，不但無法藉由鈷矽化物達到降低電阻的效果。相反地，矽鍍層嚴重地提高源極/汲極區域的電阻值，無法有效降低導電連接結構的電阻值。

因此，如何利用自行對準矽化物結構及製程方法來降低導



五、發明說明 (3)

電連接結構的電阻值，以提高元件的操作效率，已經成為半導體業界亟需解決的課題。

發明內容

本發明之一目的為提供一種自行對準矽化物結構及製程方法，對源極/汲極區域的矽鍺層進行毯覆式蝕刻或是選擇式去除，藉由減少矽鍺層的厚度，以降低源極/汲極區域的片電阻值。

本發明另一目的為提供一種自行對準矽化物結構及製程方法，藉由對源極/汲極區域的矽鍺層進行氧化步驟，並且進行選擇性蝕刻，以移除氧化後的矽鍺層，以降低源極/汲極區域的片電阻值。

本發明又一目的為提供一種自行對準矽化物結構及製程方法，藉由對源極/汲極區域的矽鍺層進行離子佈植步驟，減少矽鍺層的電阻值。

根據上述之目的，本發明提出一種自行對準矽化物結構及製程方法。先提供一矽基材，在矽基材上形成鍺材質層，並且反應生成第一矽鍺層($\text{Si}_x\text{Ge}_{1-x}$)。然後在矽基材及第一矽鍺層上形成源極/汲極區域及閘極區域，並且在閘極區域的兩側形成氮化矽(SiN)材質之間隙壁以及襯氧化層。

本發明之第一實施例中，在進行矽化物製程之前，先對源極/汲極區域上的第一矽鍺層進行毯覆式蝕刻，藉由去除一部份的第一矽鍺層或是全部的第一矽鍺層，使第二矽鍺層較第一矽鍺層薄，以減少析出鍺離子影響源極/汲極區域上



五、發明說明 (4)

鈷矽化物反應，以形成足夠多的鈷矽化物來降低源極/汲極區域的片電阻值。

本發明之第二實施例中，在進行矽化物製程之前，先對源極/汲極區域上的第一矽鍺層進行氧化製程，藉由氧化全部的矽鍺氧化層，以避免源極/汲極區域析出鍺離子影響源極/汲極區域上鈷矽化物的成長，以利用足夠多的鈷矽化物來降低源極/汲極區域的片電阻值。而且對於第一矽鍺層具有很高的選擇比，而不會蝕刻間隙壁或是閘極區域的表面。

本發明之第三實施例，在沉積金屬層以及第一次熱製程步驟之間進行一佈植製程，來改善源極/汲極區域上矽鍺層及金屬層的結構。具體而言，使用氮摻質增加鈷矽化物

(CoSi_2)的熱穩定性，或是植入矽摻質提高鈷矽化物的含量，藉由調整矽鍺層中鈷矽化物的電性或是含量。換言之，佈植製程所加入的摻質可以避免鍺離子與鈷矽化物反應，並且利用佈植製程將矽鍺層的鈷矽化物之晶粒進一步均勻、細化，有效降低源極/汲極區域的片電阻值。

本發明之第四實施例，在第一次熱製程步驟之後進行一佈植製程，或是在第一次熱製程與第二熱製程之間進行此佈植製程，來改善源極/汲極區域上鈷矽鍺層($\text{CoSi}_x\text{Ge}_{1-x}$)的結構。換言之，第四實施例類似於第三實施例，使用氮摻質增加鈷矽鍺層中鈷矽化物(CoSi_2)的熱穩定性，或是植入矽摻質提高鈷矽化物的含量，藉由調整矽鍺層中鈷矽化物的電性或是含量。

總之，本發明利用自行對準矽化物結構及製程方法，在具



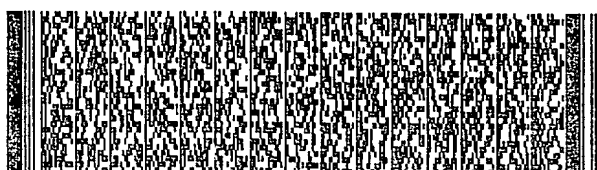
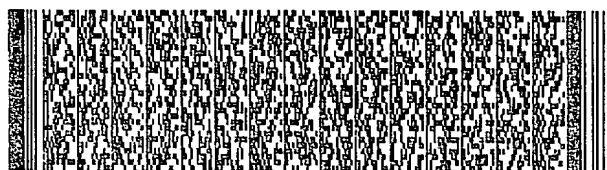
五、發明說明 (5)

有矽鍺層的基材上進行矽化物製程，藉由減少源極/汲極區域上的矽鍺層之厚度，以降低源極/汲極區域的片電阻值，提高電晶體的驅動電流。而且利用佈植製程調整源極/汲極區域上矽鍺層及金屬層的電性，以改善金屬層與矽鍺層之間的性質，有效降低源極/汲極區域的電阻值。

實施方式

針對傳統矽化物結構及製程方法的缺點，本發明提供一種具有低電阻值之自行對準矽化物結構及製程方法，對源極/汲極區域的矽鍺層進行毯覆式(Blanket Etching)或是選擇式蝕刻去除，藉由減少矽鍺層的厚度，以降低源極/汲極區域的片電阻值。並且藉由對源極/汲極區域的矽鍺層進行氧化步驟，並且進行選擇性蝕刻，以移除氧化後之源極/汲極區域上的矽鍺層。本發明更可藉由對源極/汲極區域的矽鍺層進行離子佈植步驟，調整矽鍺層的結構，以減少矽鍺層的電阻值。

首先參閱第2-6圖，其繪示根據本發明第一較佳實施例之自行對準矽化物的製程方法。在第2圖中，提供一矽基材200，在矽基材200上形成鍺材質層，並且反應生成第一矽鍺層($\text{Si}_x\text{Ge}_{1-x}$)202。本發明較佳實施例中，矽基材例如可為絕緣層上矽層(Silicon On Insulator, SOI)，且第一矽鍺層202的厚度介於20至2000埃，並於第一矽鍺層202形成一矽層204，此矽層204係作為覆蓋層。然後在第3圖中，於矽基材200及第一矽鍺層202上形成源極/汲極區域206及閘



五、發明說明 (6)

極區域208，並且在閘極區域208的兩側形成氮化矽(SiN)質之間隙壁207以及襯氧化層209。

接著在第4A圖中，蝕刻去除源極/汲極區域206上的第一矽鍍層202，以於源極/汲極區域上形成第二矽鍍層210，而閘極區域208下方的仍為第一矽鍍層202，其中第二矽鍍層210的厚度小於第一矽鍍層202的厚度，藉由減少源極/汲極區域上第二矽鍍層210的厚度，以降低源極/汲極區域206的片電阻值。本發明較佳實施例中，第二矽鍍層210的厚度介於20至1600埃。

具體而言，本發明之蝕刻源極/汲極區域206上的第一矽鍍層202之步驟中，去除一部份的第一矽鍍層202，如第4A圖所示，以移除部份的第一矽鍍層202，藉由減少第一矽鍍層202的厚度來降低源極/汲極區域206的接觸電阻。亦可去除全部的第一矽鍍層202，如第4B圖所示，以完全移除源極/汲極區域206上的第一矽鍍層202。本發明之較佳實施例中對於第一矽鍍層202具有很高的選擇比，而不會蝕刻間隙壁207或是閘極區域208的表面。換言之，本發明第一實施例利用蝕刻劑對源極/汲極區域206的第一矽鍍層202進行毯覆式蝕刻來去除矽鍍層。

接著在第5圖中，於矽基材200上形成金屬層212，以覆蓋源極/汲極區域206及閘極區域208的表面。隨後進行第一次熱製程，使一部分的金屬層212與第二矽鍍層210反應形成矽化金屬層214。較佳實施例中，金屬層212的厚度介於40至120埃，金屬層212的材質例如可為鈷、鈦或是鎳，以鈷為



五、發明說明 (7)

較佳。最後在第6圖中，移除矽基材200上未反應的金屬層212，並且進行第二次熱製程，以形成金屬矽化物於該源極/汲極區域上，使矽化金屬層214轉換為低阻值的結晶相，並且使矽化金屬層214更加緻密化。

本發明之第一實施例中，在進行矽化物製程之前，先對源極/汲極區域206上的第一矽鍍層202進行蝕刻，藉由去除一部份的第一矽鍍層202或是全部的第一矽鍍層202，例如可以控制蝕刻的時間來調整第二矽鍍層210的厚度，使第二矽鍍層210較第一矽鍍層202薄，以減少析出鍍離子影響源極/汲極區域208上鈷矽化物214反應，以形成足夠多的鈷矽化物214來降低源極/汲極區域208的片電阻值。

繼續參閱第7-9圖，其繪示根據本發明之第二較佳實施例之自行對準矽化物的製程方法。在上述之第3圖中，於第一矽鍍層202上形成源極/汲極區域206及閘極區域208的步驟之後，進行熱氧化製程，如第7圖所示，使源極/汲極區域206中第一矽鍍層202完全產生氧化，以於源極/汲極區域206上形成矽鍍氧化層216。

接著在第8圖中，移除源極/汲極區域206上氧化之後的矽鍍氧化層216，且在源極/汲極區域206上曝露出矽基材200，此步驟類似於上述之第4B圖，藉由完全移除源極/汲極區域206上的第一矽鍍層202，以降低源極/汲極區域206的片電阻值，隨後在矽基材200上形成金屬層212，以覆蓋源極/汲極區域206及閘極區域208的表面。

然後在第9圖中，進行第一次熱製程，使一部分的金屬層

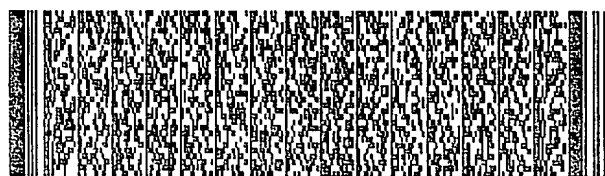


五、發明說明 (8)

212與源極/汲極區域206的矽基材200反應形成矽化金屬層214，以及一部份的金屬層212與閘極區域208亦形成矽化金屬層214。較佳實施例中，金屬層212的厚度介於40至120埃。最後移除矽基材200上未反應的金屬層212，並且進行第二次熱製程，以形成金屬矽化物於該源極/汲極區域上，使矽化金屬層214轉換為低阻值的結晶相，並且使矽化金屬層214更加緻密化。

本發明之第二實施例中，在進行矽化物製程之前，先對源極/汲極區域206上的第一矽鍍層202進行氧化製程，藉由氧化全部的矽鍍氧化層216，以避免源極/汲極區域206析出鍍離子影響源極/汲極區域206上鈷矽化物214的成長，以利用足夠多的鈷矽化物214來降低源極/汲極區域206的片電阻值。本發明之較佳實施例中對於第一矽鍍層202具有很高的選擇比，而不會蝕刻間隙壁207或是閘極區域208的表面。換言之，本發明第二實施例利用蝕刻劑對矽鍍氧化層216進行選擇性蝕刻(Selective Etching)來去除矽鍍氧化層216，並且以矽基材200為蝕刻停止層。

接著參閱第10-12圖，其繪示根據本發明之第三較佳實施例之自行對準矽化物的製程方法。在上述之第3圖，於第一矽鍍層202上形成源極/汲極區域206及閘極區域208的步驟之後。接著參閱第10圖，在矽基材200上形成金屬層212，以覆蓋源極/汲極區域206及閘極區域208的表面，然後將摻質佈植218於金屬層212以及第一矽鍍層202中。本發明之較佳實施例中，金屬層212的材質例如可為鈷、鈦或是鎳。而且



五、發明說明 (9)

摻質例如可為矽、氮、砷或是磷，其中以砷或是磷為較佳，且佈植的能量介於20keV至100keV之間，而佈植劑量介於 1×10^{14} 至 $1 \times 10^{16}/\text{cm}^2$ 之間。

然後在第11圖中，進行第一次熱製程，使一部分的金屬層212與第一矽鍍層202反應形成矽化金屬層214。最後在第12圖中，移除未反應的金屬層212。進行第二次熱製程，以形成金屬矽化物於該源極/汲極區域上，將矽化金屬層214轉換為低阻值的結晶相，使矽化金屬層214更為緻密化。

根據實驗結果顯示，當本發明使用摻質佈植218製程，接著進行850℃之熱製程步驟，則源極/汲極區域206的片電阻值 R_s 約為7歐姆。相對地，傳統上在進行熱製程步驟之前未作任何的佈植製程，則 R_s 約為10歐姆。因此本發明之第三實施例可以使源極/汲極區域206的片電阻值 R_s 降低約30%，以提高電晶體的驅動電流。

因此本發明之第三實施例，在沉積金屬層212以及第一次熱製程步驟之間進行一佈植製程，來改善源極/汲極區域206上矽鍍層及金屬層212的結構。具體而言，使用氮摻質增加鈷矽化物214(CoSi_2)的熱穩定性，或是植入矽摻質提高鈷矽化物214的含量，藉由調整矽鍍層中鈷矽化物214的電性或是含量。換言之，佈植製程所加入的摻質可以避免鍍離子與鈷矽化物214反應，並且利用佈植製程將矽鍍層的鈷矽化物214之晶粒進一步均勻、細化，有效降低源極/汲極區域206的片電阻值。

參閱第13-15圖，其繪示根據本發明之第四較佳實施例之自

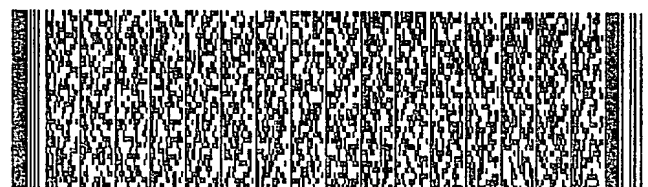


五、發明說明 (10)

行對準矽化物的製程方法。在上述之第3圖，於第一矽鍺層202上形成源極/汲極區域206及閘極區域208的步驟之後，接著參閱第13圖，於矽基材200上形成金屬層212及進行第一熱製程。隨後在第14圖中，佈植218摻質於矽化金屬層214中，本發明之較佳實施例中，金屬層212的材質例如可為鈷、鈦或是鎳。而且摻質例如可為矽、氮、砷或是磷。其中以砷或是磷為較佳，且佈植的能量介於20keV至100keV之間，而佈植劑量介於 1×10^{14} 至 $1 \times 10^{16}/\text{cm}^2$ 之間。最後在第15圖中，移除未反應的金屬層212。並且進行第二次熱製程，將矽化金屬層214轉換為低阻值的結晶相。

因此本發明之第四實施例，在第一次熱製程步驟之後進行一佈植製程，或是在第一次熱製程與第二熱製程之間進行此佈植製程，來改善源極/汲極區域206上鈷矽鍺層($\text{CoSi}_x\text{Ge}_{1-x}$)的結構。第四實施例類似於第三實施例，使用氮摻質增加鈷矽鍺層中鈷矽化物214(CoSi_2)的熱穩定性，或是植入矽摻質提高鈷矽化物214的含量，藉由調整矽鍺層中鈷矽化物214的電性或是含量。換言之，佈植製程所加入的摻質可將鈷矽化物214的晶粒進一步均勻、細化，改善鍺離子分離出來而累積在鈷矽鍺層($\text{CoSi}_x\text{Ge}_{1-x}$)晶粒晶界，有效降低源極/汲極區域206的片電阻值，增加驅動電流。

綜上所述，本發明利用自行對準矽化物的製程方法，在矽基材上產生鍺材質層，以形成矽鍺層。由於矽鍺層中的矽與鍺之晶格結構不同，產生拉伸或是壓縮應變。其中若是具有拉伸應變之矽鍺層，將有助於提升NMOS的電子遷移



五、發明說明 (11)

率，若是壓縮應變之矽鍺層，將有助於提升PMOS的電洞遷移率。更重要的是，本發明藉由減少源極/汲極區域上的矽鍺層之厚度，以增加矽化製程之矽化金屬的電性及含量，以降低源極/汲極區域的片電阻值，提高電晶體的驅動電流。而且本發明更在矽化製程之第一次熱製程之前或是之後，利用佈植製程調整源極/汲極區域上矽鍺層及金屬層的電性，以改善金屬層與矽鍺層之間的性質，有效降低源極/汲極區域的電阻值。

本發明已揭示較佳實施例如上，僅用於幫助瞭解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及等同之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。



圖式簡單說明

圖式簡單說明

為使本發明之上述和其他目的、特徵及優點更明顯易懂，配合後附圖式，作詳細說明如下：

第 1A-1C圖顯示傳統電晶體上進行矽化物製程的方法；

第 2-6圖，其繪示根據本發明之第一較佳實施例之自行對準矽化物的製程方法；

第 7-9圖，其繪示根據本發明之第二較佳實施例之自行對準矽化物的製程方法；

第 10-12圖，其繪示根據本發明之第三較佳實施例之自行對準矽化物的製程方法；以及

第 13-15圖，其繪示根據本發明之第四較佳實施例之自行對準矽化物的製程方法。

圖式標記說明

- 100: 基材
- 102: 矽層
- 104: 矽鍺層
- 106: 源極 / 汲極區域
- 108: 閘極區域
- 110: 金屬層
- 112: 鈷矽化物
- 200: 矽基材
- 202: 第一矽鍺層
- 204: 矽層



圖式簡單說明

- 206: 源極 /汲極區域
- 207: 間隙壁
- 208: 閘極區域
- 209: 襯氧化層
- 210: 第二矽鍺層
- 212: 金屬層
- 214: 矽化金屬層
- 216: 矽鍺氧化層
- 218: 佈植製程



六、申請專利範圍

- 1.一種具有低電阻值的自行對準矽化物之製程方法，至少包含下列步驟：
提供一矽基材；
形成一矽鍺層於該矽基材上；
形成源極 /汲極區域及閘極區域於該矽鍺層上；
去除該源極 /汲極區域上的該矽鍺層；以及
形成金屬矽化物於該源極 /汲極區域上。
- 2.如申請專利範圍第 1項所述之具有低電阻值的自行對準矽化物之製程方法，其中該矽鍺層的厚度介於 20至 2000埃。
- 3.如申請專利範圍第 1項所述之自行對準矽化物的製程方法，其中該矽基材至少包含絕緣層上矽層 (SOI)。
- 4.如申請專利範圍第 1項所述之自行對準矽化物的製程方法，於該形成金屬矽化物步驟之前，至少包含形成矽層於該源極 /汲極區域上。
- 5.如申請專利範圍第 1項所述之自行對準矽化物的製程方法，其中該金屬矽化物至少包含鈷、鈦及鎳群組之一。
- 6.如申請專利範圍第 1項所述之自行對準矽化物的製程方法，其中該金屬矽化物的厚度介於 40至 120埃。



六、申請專利範圍

7.如申請專利範圍第1項所述之自行對準矽化物的製程方法，其中去除該源極/汲極區域上的該矽鍺層之步驟中，至少包含去除一部份的該矽鍺層。

8.如申請專利範圍第1項所述之自行對準矽化物的製程方法，其中去除該源極/汲極區域上的該矽鍺層之步驟中，至少包含完全移除該矽鍺層。

9.一種具有低電阻值的自行對準矽化物之製程方法，至少包含下列步驟：

提供一矽基材；

形成一矽鍺層於該矽基材上；

形成源極/汲極區域及閘極區域於該矽鍺層上；

於該源極/汲極區域上形成矽鍺氧化層；

移除該源極/汲極區域上的該矽鍺氧化層；以及

形成金屬矽化物於該源極/汲極區域上。

10.如申請專利範圍第9項所述之自行對準矽化物的製程方法，其中該矽鍺層的厚度介於20至2000埃。

11.如申請專利範圍第9項所述之自行對準矽化物的製程方法，其中該矽基材至少包含絕緣層上矽層(SOI)。

12.如申請專利範圍第9項所述之自行對準矽化物的製程方



六、申請專利範圍

法，於該形成金屬矽化物步驟之前，至少包含形成矽層於該源極 /汲極區域上。

13.如申請專利範圍第 9項所述之自行對準矽化物的製程方法，其中該金屬矽化物至少包含鈷、鈦及鎳群組之一。

14.如申請專利範圍第 9項所述之自行對準矽化物的製程方法，其中該金屬矽化物的厚度介於 40至 120埃。

15.一種具有低電阻值的自行對準矽化物之製程方法，至少包含下列步驟：

提供一矽基材；

形成一矽鍍層於該矽基材上；

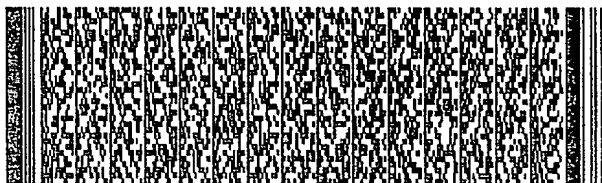
形成源極 /汲極區域及閘極區域於該矽鍍層上；

形成金屬層於該矽基材上，以覆蓋該源極 /汲極區域及該閘極區域的表面；以及

佈植摻質於該金屬層及該矽鍍層中。

16.如申請專利範圍第 15項所述之自行對準矽化物的製程方法，其中該矽鍍層的厚度介於 20至 2000埃。

17.如申請專利範圍第 15項所述之自行對準矽化物的製程方法，其中該金屬層的材質係選自鈷、鈦及鎳群組之一。



六、申請專利範圍

18.如申請專利範圍第15項所述之自行對準矽化物的製程方法，其中該金屬層的厚度介於40至120埃。

19.如申請專利範圍第15項所述之自行對準矽化物的製程方法，其中該摻質係選自矽、氮、砷及磷群組之一。

20.如申請專利範圍第15項所述之自行對準矽化物的製程方法，其中該矽基材至少包含絕緣層上矽層(SOI)。

21.一種具有低電阻值的自行對準矽化物之製程方法，至少包含下列步驟：

提供一矽基材；

形成一矽鍍層於該矽基材上；

形成源極/汲極區域及閘極區域於該矽鍍層上；

形成金屬層於該矽基材上，以覆蓋該源極/汲極區域及該閘極區域的表面；

進行第一次熱製程，使一部分的該金屬層與該矽鍍層反應形成矽化金屬層；以及

佈植摻質於該矽化金屬層中。

22.如申請專利範圍第21項所述之自行對準矽化物的製程方法，其中該矽鍍層的厚度介於20至2000埃。

23.如申請專利範圍第21項所述之自行對準矽化物的製程方



六、申請專利範圍

法，其中該矽基材至少包含絕緣層上矽層(SOI)。

24.如申請專利範圍第21項所述之自行對準矽化物的製程方法，其中該金屬層的材質係選自鈷、鈦及鎳群組之一。

25.如申請專利範圍第21項所述之自行對準矽化物的製程方法，其中該金屬層的厚度介於40至120埃。

26.如申請專利範圍第21項所述之自行對準矽化物的製程方法，其中該摻質係選自矽、氮、砷及磷群組之一。

27.一種具有低電阻值的自行對準矽化物之導電連接結構，該導電連接結構至少包含：

一矽基材；

一矽鍍層，位於該矽基材上，且該矽鍍層上設有閘極區域；

一源極/汲極區域，位於該閘極區域兩側的該矽基材上，以形成具有低電阻值的該源極/汲極區域；以及

一金屬矽化物連接於該源極/汲極區域上，該導電連接結構。

28.如申請專利範圍第27項所述之導電連接結構，其中該矽鍍層的厚度介於20至2000埃。



六、申請專利範圍

29.如申請專利範圍第27項所述之導電連接結構，其中該矽基材至少包含絕緣層上矽層(SOI)。

30.如申請專利範圍第27項所述之導電連接結構，其中該金屬矽化物至少包含鈷、鈦及鎳群組之一。

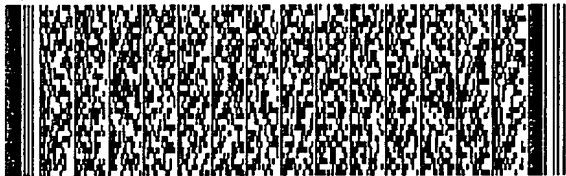
31.如申請專利範圍第27項所述之導電連接結構，其中該金屬矽化物的厚度介於40至120埃。

32.如申請專利範圍第27項所述之導電連接結構，其中該矽鍍層至少包含摻質。

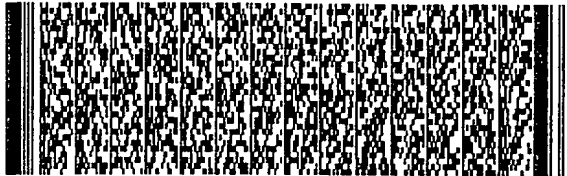
33.如申請專利範圍第32項所述之導電連接結構，其中該摻質係選自矽、氮、砷及磷群組之一。



第 1/24 頁



第 1/24 頁



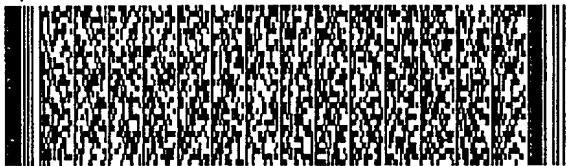
第 2/24 頁



第 3/24 頁



第 3/24 頁



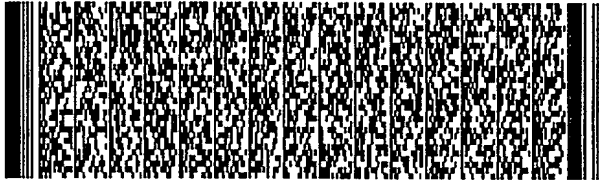
第 4/24 頁



第 5/24 頁



第 6/24 頁



第 6/24 頁



第 7/24 頁



第 7/24 頁



第 8/24 頁



第 8/24 頁



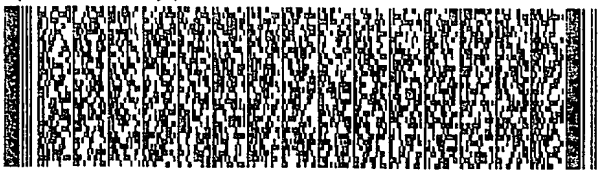
第 9/24 頁



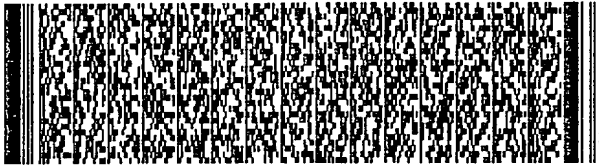
第 9/24 頁



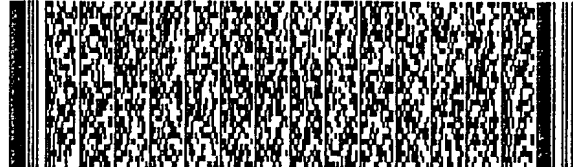
第 10/24 頁



第 10/24 頁



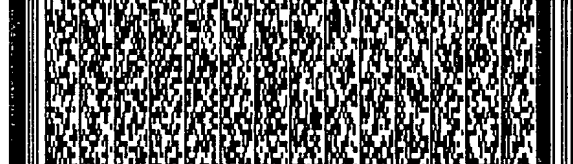
第 11/24 頁



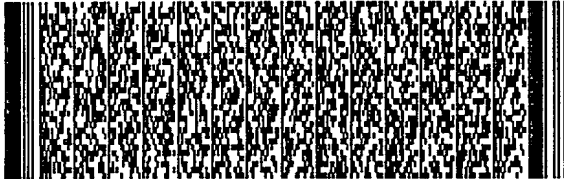
第 11/24 頁



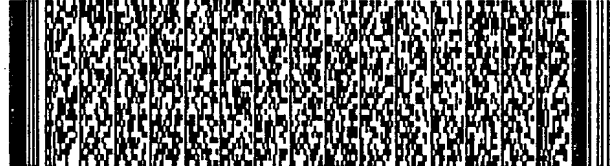
第 12/24 頁



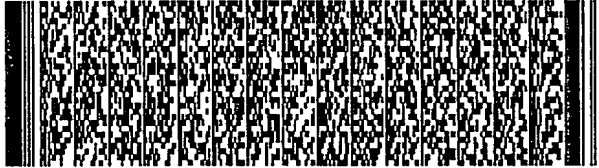
第 12/24 頁



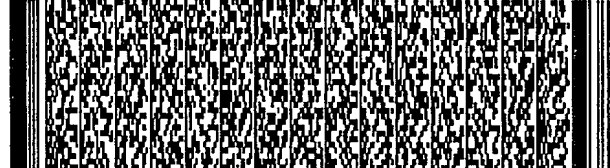
第 13/24 頁



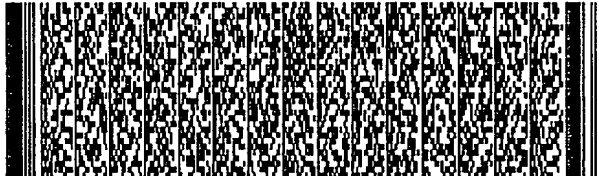
第 13/24 頁



第 14/24 頁



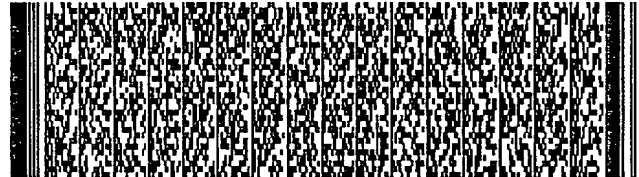
第 14/24 頁



第 15/24 頁



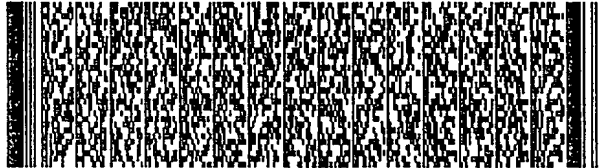
第 15/24 頁



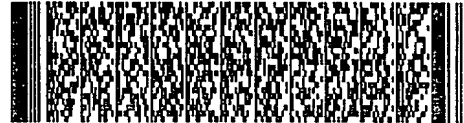
第 16/24 頁



第 17/24 頁



第 18/24 頁



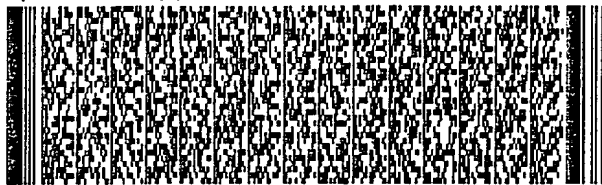
第 19/24 頁



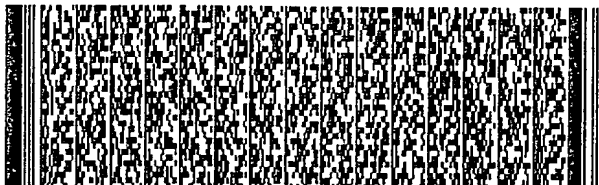
第 20/24 頁



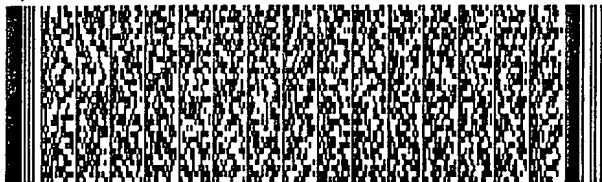
第 21/24 頁



第 22/24 頁

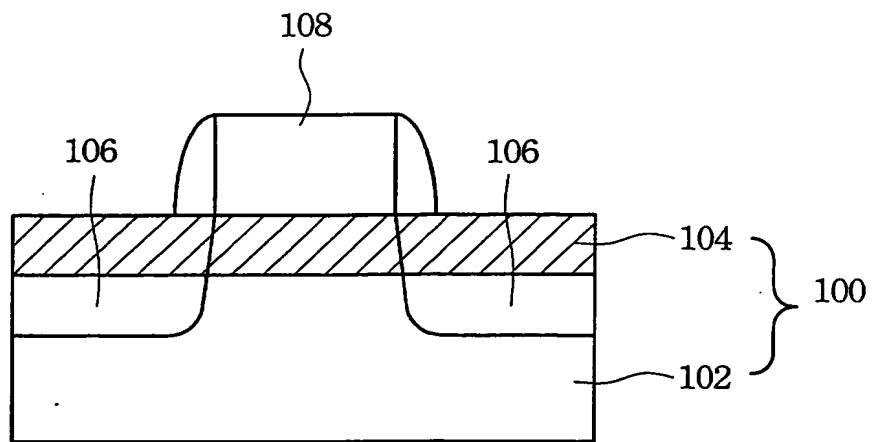


第 23/24 頁

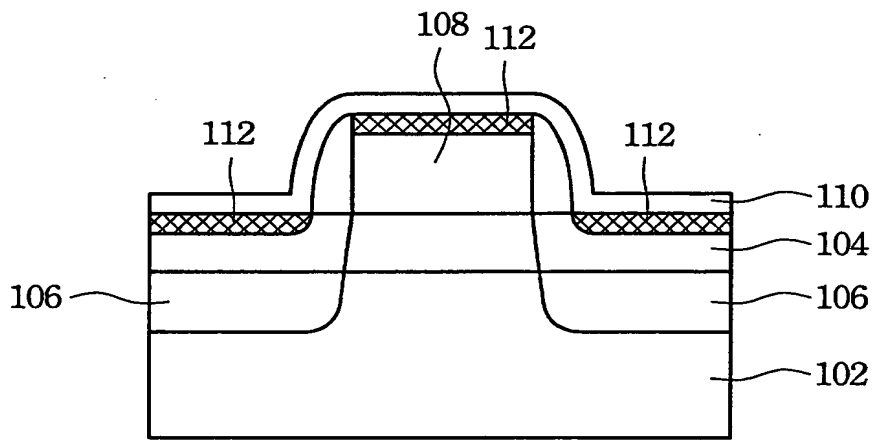


第 24/24 頁

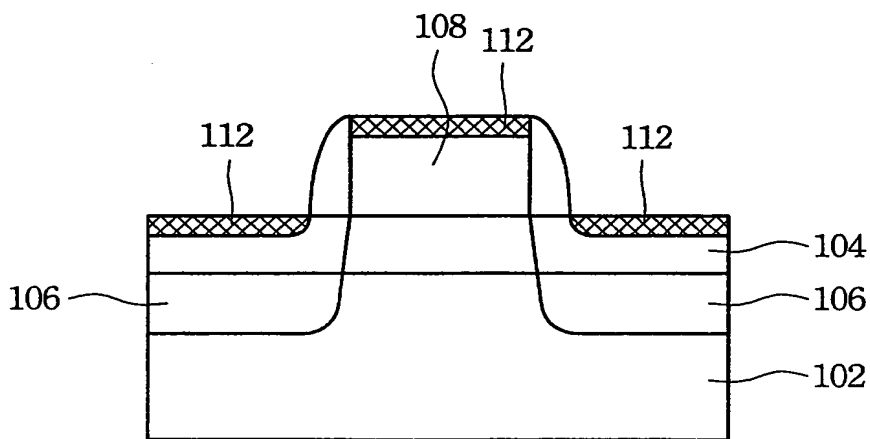




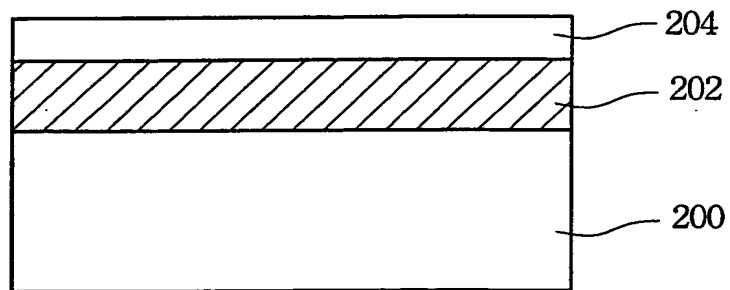
第 1A 圖



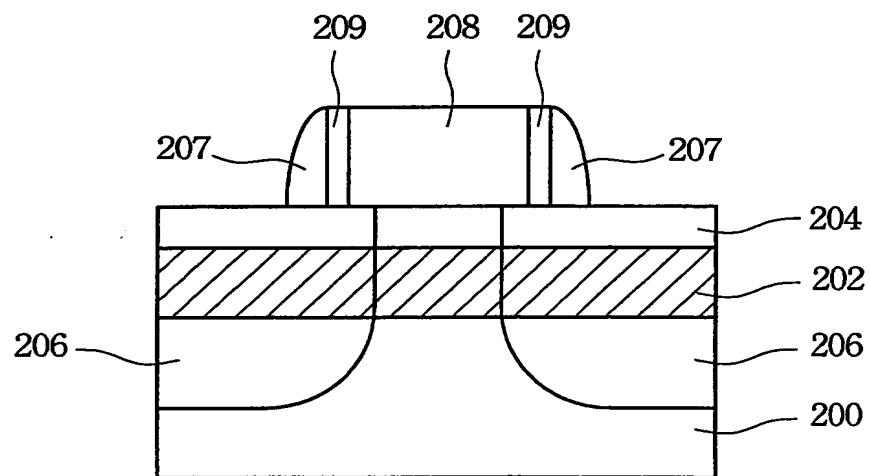
第 1B 圖



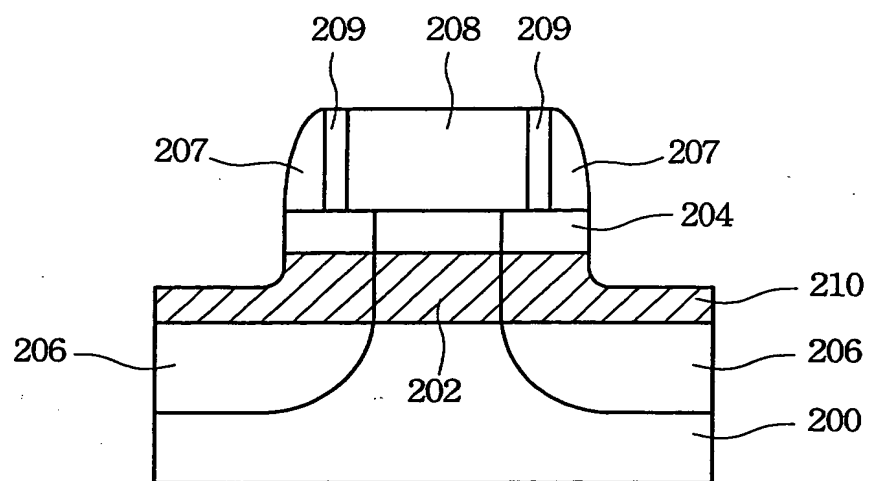
第 1C 圖



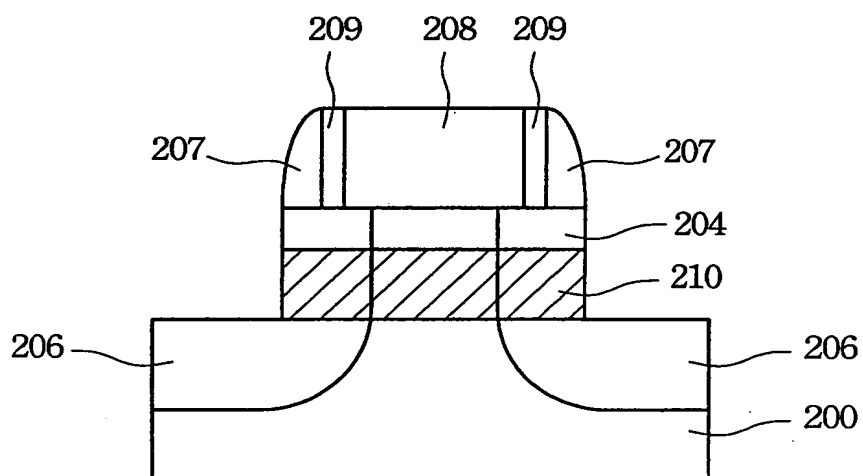
第 2 圖



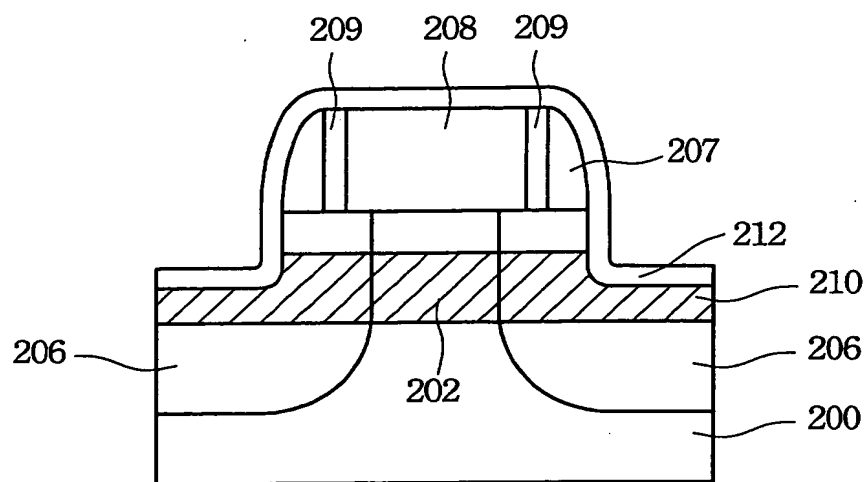
第 3 圖



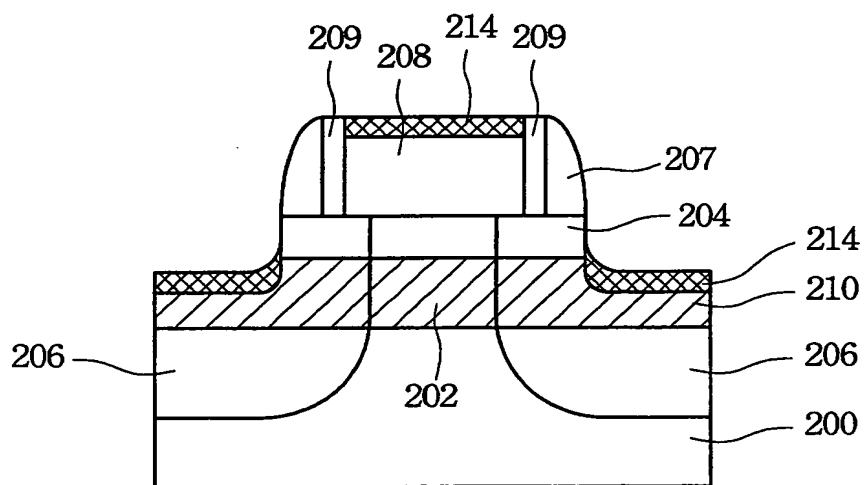
第 4A 圖



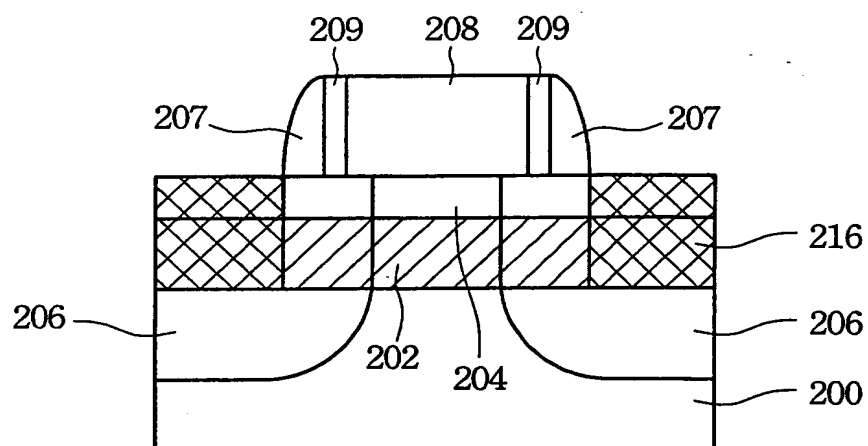
第 4B 圖



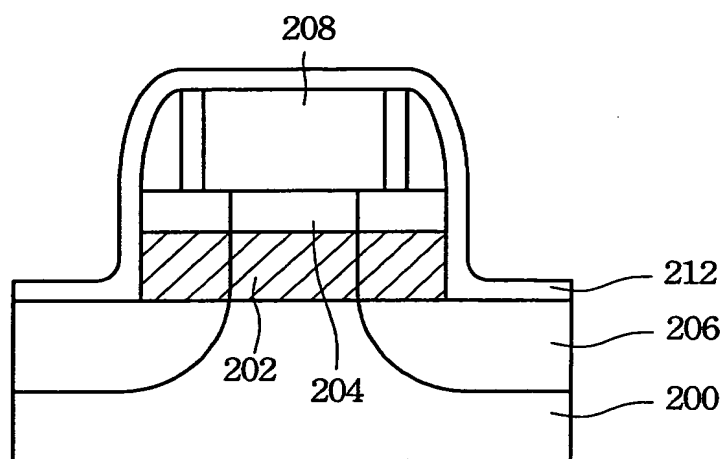
第 5 圖



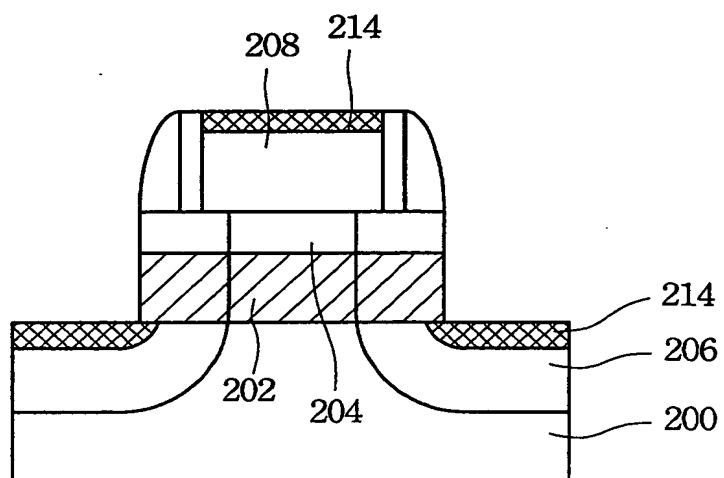
第 6 圖



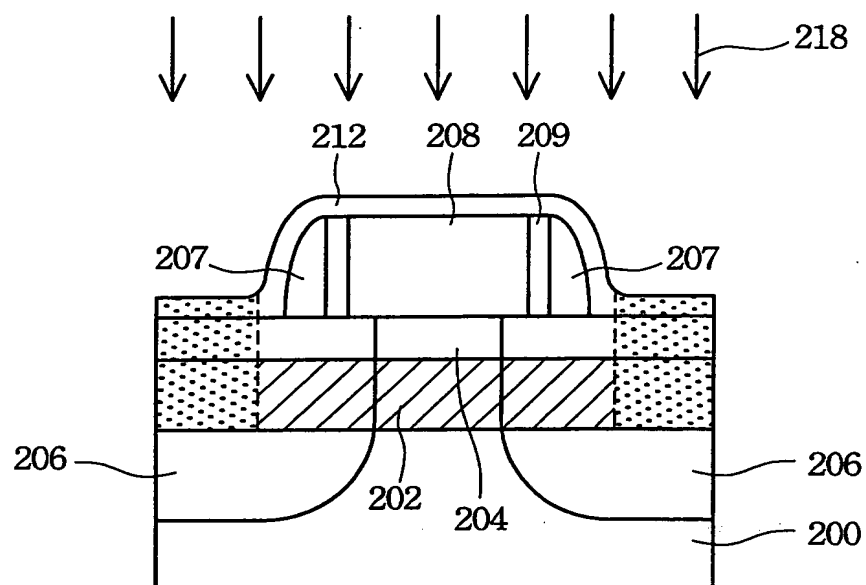
第 7 圖



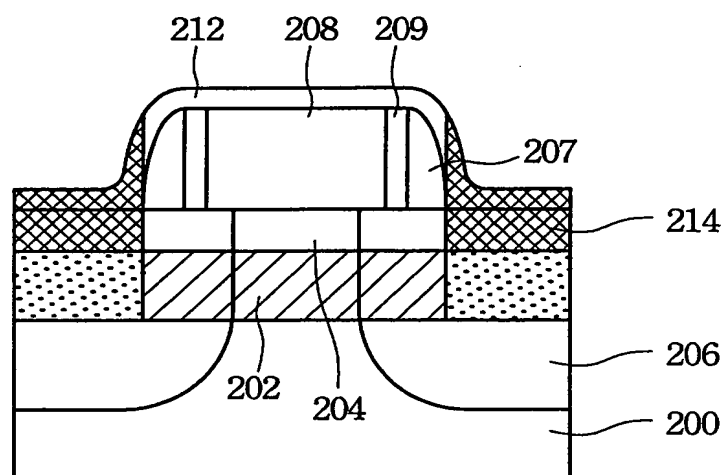
第 8 圖



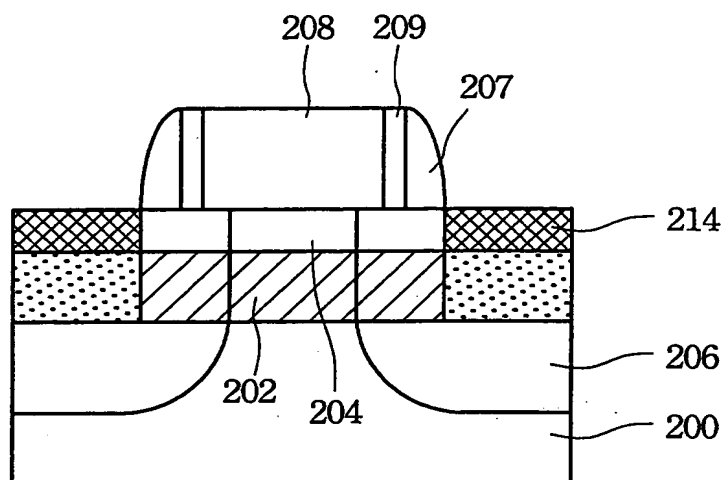
第 9 圖



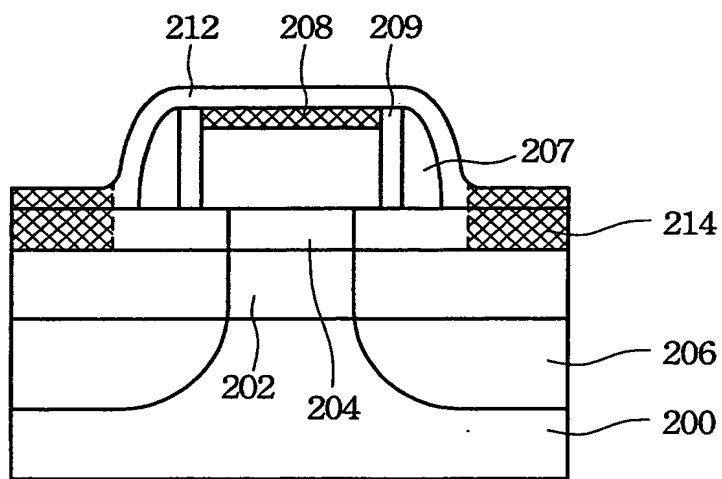
第 10 圖



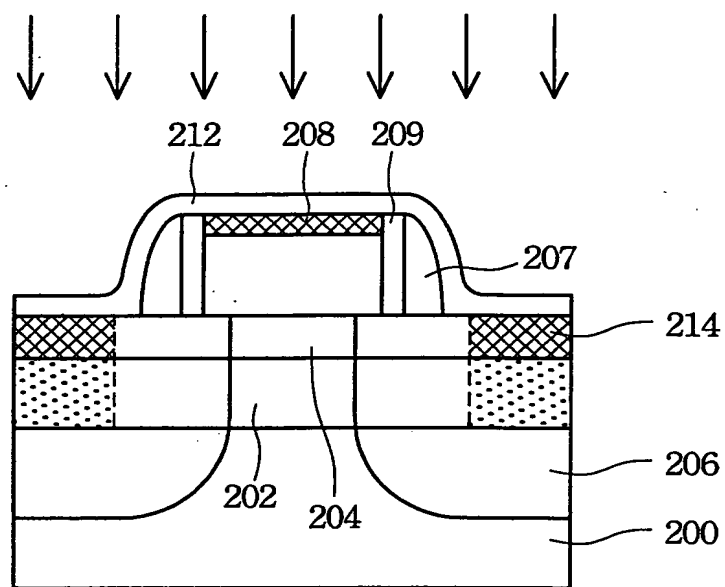
第 11 圖



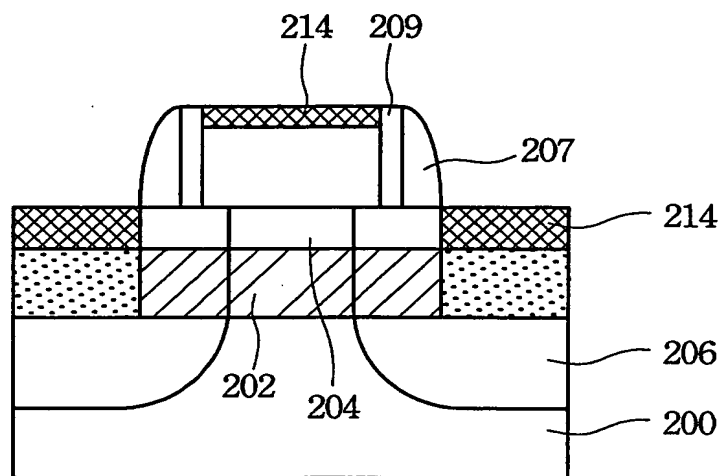
第 12 圖



第 13 圖



第 14 圖



第 15 圖